

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Method for forming a metal-oxide-semiconductor transistor

Patent Number: ☐ US6277699
Publication date: 2001-08-21
Inventor(s): CHEN COMING (TW); CHOU JIH-WEN (TW); YEH WEN-KUAN (TW)
Applicant(s): UNITED MICROELECTRONICS CORP (US)
Requested Patent: TW381309
Application Number: US19980187140 19981106
Priority Number(s): US19980187140 19981106; TW19980115645 19980919
IPC Classification: H01L21/335
EC Classification: H01L21/336C, H01L21/265A2B, H01L21/28E2B20, H01L29/78F4
Equivalents:

Abstract

A method for forming a MOS transistor is provided. A gate oxide layer, a polysilicon layer, a barrier layer and a conductive layer are sequentially formed on a provided substrate. A photolithography and etching process is carried out to remove a portion of the conductive layer and a portion of the barrier layer until exposing the polysilicon layer. An ion implantation is performed to form lightly doped regions in the substrate using the remaining conductive layer and the remaining barrier layer as a mask. A spacer is formed on the side-wall of the conductive layer and on the side-wall of the barrier layer. The polysilicon layer and the gate oxide layer, which are in positions other than those of the remaining conductive layer and the spacer, are removed. The remaining conductive layer and the remaining polysilicon layer constitute a gate with an inversed, T-shaped cross-section. Source/drain regions comprising the lightly doped regions are formed in the substrate by ion implantation using the gate structure as a mask

Data supplied from the esp@cenet database - I2

中華民國專利公報資料庫 - 專利公報全文

本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。

(C) COPYRIGHT 2003 APIPA 第 91104389 號

號

專利公告號: 381309

專利公告日期: 20000201

專利申請案號: 87115645

專利申請日期: 19980919

公告卷數: 027 公告期數: 004

專利權類別: 發明

專利權證書號: 000000

專利名稱: 閘極的製造方法

國際專利分類: H01L21/335

發明人名稱 (地址): 陳進來 (桃園縣楊梅鎮光裕南街二一五號)

發明人名稱 (地址): 葉文冠 (新竹縣竹北市華興一街四十三巷十二號)

發明人名稱 (地址): 周志文 (新竹市光復路一段三七六巷一五六弄十號六樓)

申請人名稱 (地址): 聯華電子股份有限公司 (新竹科學工業園區新竹市力行二路三號)

專利代理人: 詹銘文

申請專利範圍:

1.一種閘極的製造方法，包括下列步驟：

提供一基底；

依序形成一閘極氧化層、一多晶矽層、一阻障層與一導電層於該基底上；

定義並去除部分該導電層與該阻障層，至暴露出該多晶矽層為止；

在該基底上形成一輕摻雜汲極區；

在該導電層與該阻障層側壁形成一間隙壁；

去除暴露出來之該多晶矽層與該閘極氧化層，至暴露出基底為止；以及

在暴露出來之該基底中形成一源極／汲極區。

2.如申請專利範圍第1項所述之製造方法，其中該多晶矽層之厚度約為300～1000Å。

3.如申請專利範圍第1項所述之製造方法，其中該導電層之厚度約為200～500Å。

4.如申請專利範圍第1項所述之製造方法，其中該導電層具有低阻值。

5.如申請專利範圍第4項所述之製造方法，其中該導電層之材質包括鎢。

6.如申請專利範圍第1項所述之製造方法，其中該阻障層之材質包括氮化鈦。

7.如申請專利範圍第1項所述之製造方法，其中該間隙壁之材質包括氮化矽、二氧化矽與氮氧化矽其中之一。

8.如申請專利範圍第1項所述之製造方法，其中該輕摻雜汲極區與該源極／汲極區具有相同的電性，與該基底之電性則相反。

9.如申請專利範圍第8項所述之製造方法，其中該輕摻雜汲極區之濃度低於該源極／汲極區。

10.一種閘極之製造方法，包括下列步驟：

提供一基底；

依序形成一閘極氧化層、一多晶矽層、一阻障層與一導電層於該基底上；

定義並去除部分該導電層與該阻障層，至暴露出該多晶矽層為止；

進行一第一離子植入步驟，在該基底上形成一輕摻雜汲極區；

在該導電層與該阻障層側壁形成一間隙壁；

去除暴露出來之該多晶矽層與該閘極氧化層，至暴露出基底為止，其中剩餘之該多晶矽層與該阻障層以及該導電層組成具倒T字型之一閘極電極；以及

進行一第二離子植入步驟，在該閘極電極兩側之該基底中形成一源極／汲極區。

- 11.如申請專利範圍第10項所述之製造方法，其中該多晶矽層之厚度約為300～1000A。
 - 12.如申請專利範圍第10項所述之製造方法，其中該導電層之厚度約為200～500A。
 - 13.如申請專利範圍第10項所述之製造方法，其中該導電層具有低阻值。
 - 14.如申請專利範圍第13項所述之製造方法，其中該導電層之材質包括錫。
 - 15.如申請專利範圍第10項所述之製造方法，其中該阻障層之材質包括氮化鈦。
 - 16.如申請專利範圍第10項所述之製造方法，其中該間隙壁之材質包括氮化矽、二氧化矽與氮氧化矽其中之一。
 - 17.如申請專利範圍第10項所述之製造方法，其中該第一離子植入步驟與該第二離子植入步驟植入之離子具有相同的電性，與該基底之電性則相反。
- 圖式簡單說明：
- 第一圖繪示習知一種金氧半電晶體的剖面圖；以及
- 第二圖A至第二圖F繪示依照本發明一較佳實施例的具有倒T字型的閘極之製造流程圖。

專利相關圖形檔：[附圖 1] [附圖 2]

專利相關公告：資料庫中無相關雜文..

開始連線時間:14:50:30 斷線時間:14:50:30 連線時間:1秒

[資料庫登入](#)

[輸入查詢條件](#)

[查詢結果統計](#)

[查詢結果瀏覽](#)

[專利公報全文](#)

本系統使用 Apipa Patent Search Engine 1.1版

資料來源：智慧財產局

專案執行：A P I P A

本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。

(C) COPYRIGHT 1998 APIPA

中華民國專利公報資料庫 - 專利相關圖形檔

本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。

資料來源：智慧財產局

專案執行：APIPA

(2)

3

4

定後並去除部分該導電層與該阻障層，
至暴露出該多晶矽層為止；

進行一第一離子植入步驟，在該基底上
形成一輕掺杂區域；

在該導電層與該阻障層側壁形成一間隙
壁；

去除暴露出來之該多晶矽層與該兩極氧
化層，至暴露出基底為止，其中剩餘之
該多晶矽層與該阻障層以及該導電層形
成具倒T字型之一閘極電極；以及

進行一第二離子植入步驟，在該閘極電
極兩側之該基底中形成一源極/汲極
區。

11.如申請專利範圍第10項所述之製造方
法，其中該多晶矽層之厚度約為300～
1000Å。

12.如申請專利範圍第10項所述之製造方
法，其中該導電層之厚度約為200～
500Å。

13.如申請專利範圍第10項所述之製造方
法，其中該導電層具有低阻值。

14.如申請專利範圍第13項所述之製造方
法，其中該導電層之材質包括鈷。

5. 15.如申請專利範圍第10項所述之製造方
法，其中該阻障層之材質包括氮化鈦。

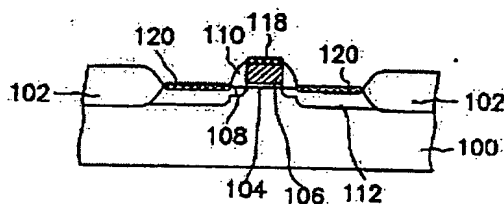
16.如申請專利範圍第10項所述之製造方
法，其中該間隙壁之材質包括氮化矽、
二氧化矽與氮化矽其中之一。

10. 17.如申請專利範圍第10項所述之製造方
法，其中該第一離子植入步驟與該第二
離子植入步驟植入之離子具有相同的電
性，與該基底之電性則相反。

圖式簡單說明：

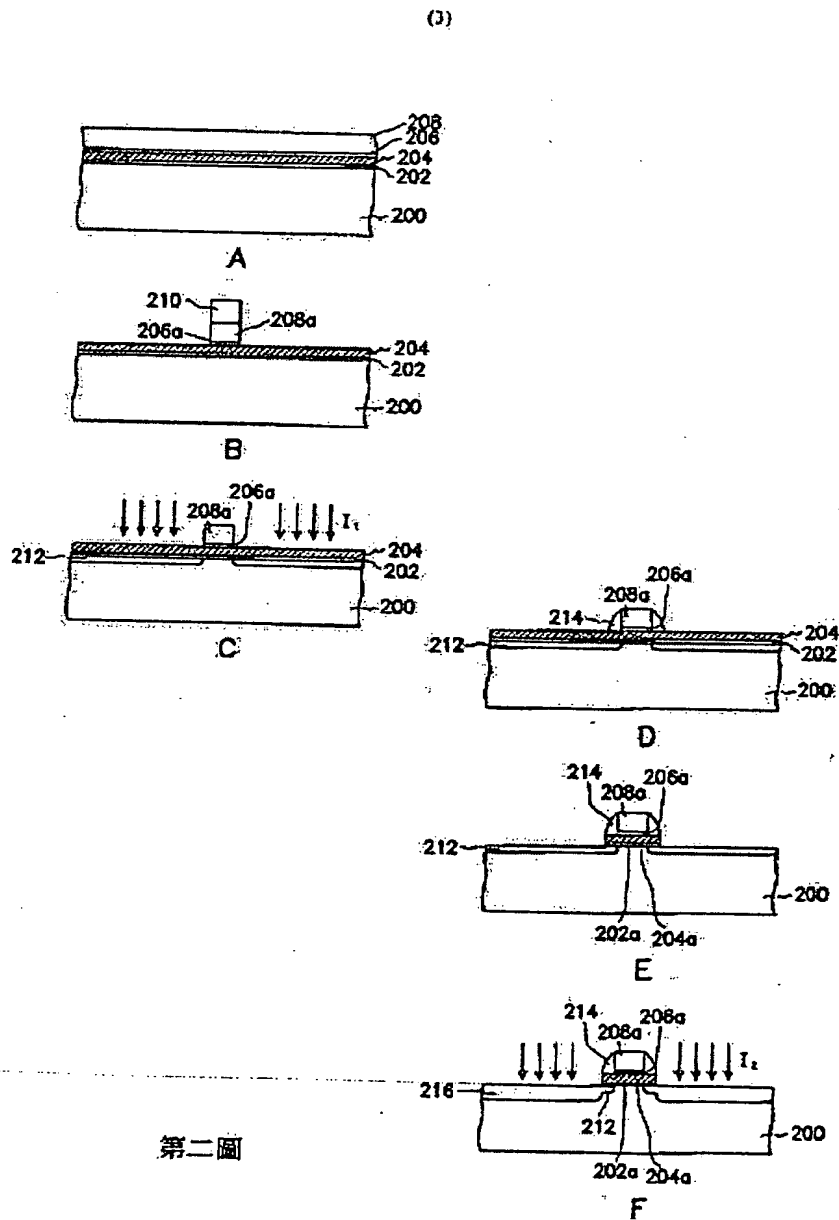
第一圖繪示習知一種金氧半導體晶
體的剖面圖，以及

第二圖A至第二圖F繪示依本發明
一較佳實施例的具有倒T字型的閘極之製
造流程圖。



第一圖

中華民國專利公報資料庫 - 專利相關圖形檔
 ### 本資料僅供參考，所有資訊以經濟部智慧財產局專利公報為準。 ###
 資料來源：智慧財產局 專案執行：APIPA



第二圖